

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-287989

(43)Date of publication of application : 31.10.1995

(51)Int.Cl.

G11C 16/06  
H01L 27/115  
H01L 21/8247  
H01L 29/788  
H01L 29/792

(21)Application number : 06-081617

(71)Applicant : TOSHIBA CORP

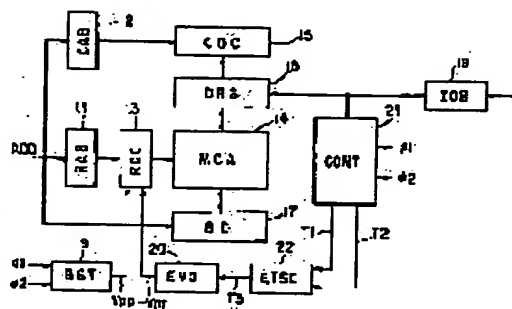
(22)Date of filing : 20.04.1994

(72)Inventor : MATSUKAWA HISAHIRO  
IMAMIYA KENICHI  
WATANABE TOSHIHARU  
MATSUI NORIHARU

## (54) NON-VOLATILE SEMICONDUCTOR MEMORY

### (57)Abstract:

**PURPOSE:** To prevent the over write-in by narrowing distribution of threshold value voltage after the write-in.  
**CONSTITUTION:** After A control circuit 21 writes data in a desired memory cell of a memory cell array 14, verifies threshold value voltage of a memory cell in which data is written. Consequently, when a memory cell having a threshold value voltage higher than the power supply voltage is detected, a erasing voltage generating circuit 20 supplies negative erasing voltage  $-V_{pp}$  to a memory cell in which data is written for a short time, the threshold value voltage is slightly lowered. Therefore, the over write-in is prevented and distribution of threshold value voltage can be narrowed.



## LEGAL STATUS

[Date of request for examination] 07.10.1998

[Date of sending the examiner's decision of rejection] 13.03.2001

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's

decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平7-287989

(43)公開日 平成7年(1995)10月31日

(51) Int.Cl.<sup>6</sup>

識別記号

庁内整理番号

FI

### 技術表示箇所

**G 1 1 C 16/06**

H01L 27/115

21/8247

G 1 1 C 17/ 00

510 A

H O 1 L 27/ 10

**4 3 4**

審査請求 未請求 請求項の数7 OL (全 9 頁) 最終頁に続く

(21)出願番号

特願平6-81617

(22) 出願日

平成6年(1994)4月20日

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)発明者 松川 尚弘

神奈川県川崎市幸区小向東芝町1番地 株  
 式会社東芝研究開発センター内

(72) 發明者 今宮 賢一

神奈川県川崎市幸区小向東芝町1番地 株  
 式会社東芝研究開発センター内

(72)発明者 渡辺 寿治

神奈川県川崎市幸区小向東芝町1番地 株  
 式会社東芝研究開発センター内

(74)代理人 弁理士 鈴江 武彦

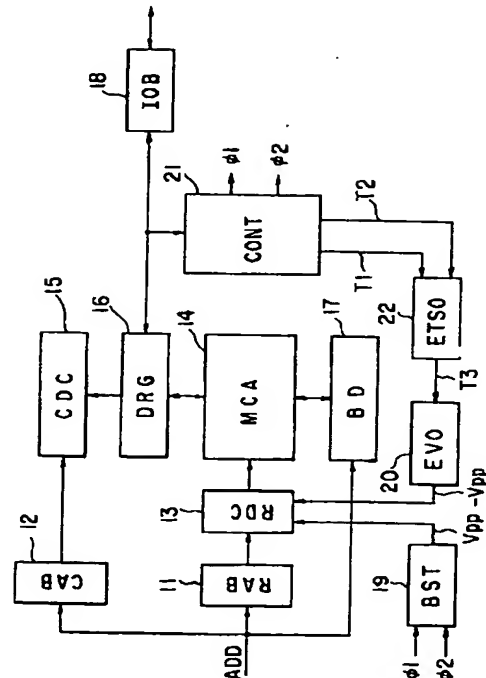
**最終頁に続く**

(54) 【発明の名称】 不揮発性半導体記憶装置

(57) 【要約】

【目的】この発明の目的は、書き込み後の閾値電圧の分布を狭くし、過書き込みを防止することが可能な不揮発性半導体記憶装置を提供する。

【構成】制御回路 21 はメモリセルアレイ 14 の所望のメモリセルにデータを書き込んだ後、データを書き込んだメモリセルの閾値電圧をベリファイする。この結果、閾値電圧が電源電圧より高いメモリセルが検出された場合、消去電圧発生回路 20 はデータを書き込んだメモリセルに負の消去電圧  $-V_{pp}$  を短時間供給し、閾値電圧を若干下げる。したがって、過書き込みを解消して閾値電圧の分布を狭めることができる。



1

## 【特許請求の範囲】

【請求項 1】 制御ゲート及び浮遊ゲートを有する複数のメモリセルがマトリクス状に配置され、1つのワード線に複数のメモリセルの制御ゲートが接続されたメモリセルアレイと、

前記複数のメモリセルのうち、同時に選択された複数のメモリセルの浮遊ゲートにデータを書き込む書き込み手段と、

前記データを書き込んだメモリセルに対して消去電圧を短時間供給し、メモリセルの閾値電圧を若干低下させる消去手段とを具備することを特徴とする不揮発性半導体記憶装置。

【請求項 2】 前記書き込み手段は、選択されたメモリセルの制御ゲートに高電位を供給する正の電位発生手段を有し、前記消去手段は選択されたメモリセルの制御ゲートに負の高電位を供給する負の電位発生手段を有することを特徴とする請求項 1 記載の不揮発性半導体記憶装置。

【請求項 3】 前記消去手段は、1つの行線に接続された複数のメモリセルに同時に負の高電位を供給することを特徴とする請求項 1 記載の不揮発性半導体記憶装置。

【請求項 4】 前記消去手段は、複数の行線に接続された複数のメモリセルに同時に負の高電位を供給することを特徴とする請求項 1 記載の不揮発性半導体記憶装置。

【請求項 5】 前記書き込み手段は、データの書き込み後、メモリセルの閾値電圧を検出する検出手段を有し、前記消去手段はこの検出手段によって閾値電圧が所定の電圧より高いメモリセルが検出された場合、負の高電位を選択されたメモリセルの制御ゲートに供給することを特徴とする請求項 1 記載の不揮発性半導体記憶装置。

【請求項 6】 前記消去手段は、閾値電圧が最も低いメモリセルの閾値電圧を 0.1 V ~ 0.2 V 低下させるに要する時間だけ複数のメモリセルに消去電圧を供給することを特徴とする請求項 1 記載の不揮発性半導体記憶装置。

【請求項 7】 前記消去手段は、メモリセルの制御ゲートに 0 V を供給し、基板に高電圧を供給してデータを消去することを特徴とする請求項 1 記載の不揮発性半導体記憶装置。

## 【発明の詳細な説明】

【0001】

【産業上の利用分野】 この発明は、例えばフラッシュメモリに適用される不揮発性半導体記憶装置に関する。

【0002】

【従来の技術】 図 8 は、NAND 型 EEPROM を示すものである。1 NAND は複数のメモリセル MC の電流通路を互いに直列接続し、これら直列接続されたメモリセルの両端に第 1、第 2 の選択ゲート SG1、SG2 を配置した構成とされている。各 NAND を構成する第 1 の選択ゲート SG1 はビット線 BL0、BL1、BL2

2

にそれぞれ接続され、第 2 の選択ゲート SG2 はそれぞれ接地されている。各 NAND を構成するメモリセルのコントロールゲート（制御ゲート）はそれぞれワード線 WL0、WL1、WL2 ~ WLn に接続されている。第 1 の選択ゲート SG1 の各ゲートは第 1 の選択線 SL1 に接続され、第 2 の選択ゲート SG2 の各ゲートは第 2 の選択線 SL2 に接続されている。

【0003】 上記構成において、メモリセルに記憶されているデータを読み出す場合について説明する。先ず、ワード線 WL2 に接続されたメモリセルからデータを読み出す場合、ワード線 WL2 に 0 V を印加し、その他の全ワード線、全ビット線、全第 1、第 2 の選択線に電源 Vcc、例えば 5 V を印加する。非選択ワード線に接続されたメモリセルはトランスファゲートとして動作し、これらトランスファゲートによって、選択されたワード線 WL2 に接続されたセルトランジスタからデータが読出される。すなわち、セルトランジスタがオンかオフかによってデータ “1” または “0” を判別する。したがって、データ “1” を記憶したメモリセルの閾値電圧は負であり、データ “0” を記憶したメモリセルの閾値電圧は正でなければならない。また、トランスファゲートとしてメモリセルの閾値電圧は 0 V と Vcc の中間電位でなければならない。

【0004】 一方、メモリセルにデータを書き込む場合、1 ワード線毎に書き込みが行われる。例えばワード線 WL2 に接続されたメモリセルからデータを読み出す場合、ワード線 WL2 に 20 V を印加し、その他の全ワード線を 10 V、第 1 の選択線 SL1 に 12 V、第 2 の選択線 SL2 に 0 V を印加する。ビット線 BL0、BL1、BL2 の電位がそれぞれ例えば 0 V、10 V、0 V である場合、メモリセル MC20、MC22 のチャンネルとコントロールゲート間の電位差が 20 V となり、これらメモリセル MC20、MC22 のフローティングゲート（浮遊ゲート）に F-N (Fowler-Nordheim) トンネリングによって電子が注入される。メモリセル MC21 はチャンネルとコントロールゲート間の電位差が小さいためトンネル現象が生じず、フローティングゲートに電子が注入されない。

【0005】 ところで、各メモリセルは同一電圧を印加した場合においても電子の注入量が相違し、閾値電圧が一定しない。閾値電圧がばらつく原因としては、コントロールゲートとフローティングゲート間の容量と、基板とフローティングゲート間の容量との比が一定しないことが考えられる。したがって、ワード線に高電位が印加された場合、フローティングゲートの電位がメモリセル毎に相違し、電子の注入量が異なるものと考えられる。

【0006】 そこで、書き込み動作が終了すると、上述した閾値電圧の条件を満足しているか否かメモリセルからデータが読み出されベリファイされる。ベリファイの結果、データが正しく書き込まれていない場合、データ

3

“0”を書き込むメモリセルの閾値電圧の下限が例えば 0.5V を越えるまで、上記書き込み動作が繰り返される。

【0007】

【発明が解決しようとする課題】しかしながら、上記方法によってデータを書き込む場合、メモリセルの閾値電圧のばらつきが大きいと、データ“0”を書き込むメモリセルの閾値電圧の下限が 0.5V を越えた際、データ“0”を書き込むメモリセルの閾値電圧の上限が電源電圧  $V_{cc}$  を越えてしまうことがある。このように過書き込みされたメモリセルは、データの読み出し時、トランスファークロッシングとして動作しないため、そのメモリセルを含む 1 NAND のデータを読み出すことができなくなってしまう問題を有している。

【0008】この発明は、上記従来の課題を解決するものであり、その目的とするところは、書き込み後の閾値電圧の分布を狭くし、過書き込みを防止することが可能な不揮発性半導体記憶装置を提供しようとするものである。

【0009】

【課題を解決するための手段】この発明の不揮発性半導体記憶装置は、制御ゲート及び浮遊ゲートを有する複数のメモリセルがマトリクス状に配置され、1つのワード線に複数のメモリセルの制御ゲートが接続されたメモリセルアレイと、前記複数のメモリセルのうち、同時に選択された複数のメモリセルの浮遊ゲートにデータを書き込む書き込み手段と、前記データを書き込んだメモリセルに対して消去電圧を短時間供給し、メモリセルの閾値電圧を若干低下させる消去手段とを具備している。

【0010】また、書き込み手段は、前記制御ゲートに高電位を供給する正の電位発生手段を有し、前記消去手段は前記制御ゲートに負の高電位を供給する負の電位発生手段を有している。

【0011】さらに、消去手段は、1つのワード線に接続された複数のメモリセルに同時に負の高電位を供給する。また、消去手段は、複数のワード線に接続された複数のメモリセルに同時に負の高電位を供給する。

【0012】さらに、書き込み手段は、データの書き込み後、メモリセルの閾値電圧を検出する検出手段を有し、前記消去手段はこの検出手段によって閾値電圧が所定の電圧より高いメモリセルが検出された場合、負の高電位を選択されたメモリセルの制御ゲートに供給する。

【0013】また、消去手段は、閾値電圧が最も低いメモリセルの閾値電圧を 0.1V ~ 0.2V 低下させるに要する時間だけ複数のメモリセルに消去電圧を供給する。さらに、消去手段は、メモリセルの制御ゲートに 0V を供給し、基板に高電圧を供給してデータを消去する。

【0014】

【作用】この発明は、閾値電圧が高いメモリセルほど消

4

去時に多く消去されるという現象を利用したものであり、データの書き込みが終了したメモリセルに対して、短時間消去電圧を供給することにより、閾値電圧が高いメモリセルの閾値電圧を下げ、過書き込みを防止している。

【0015】消去手段は、メモリセルの制御ゲートに負の高電圧を供給することにより、1本のワード線に接続された複数のメモリセル、あるいは複数本のワード線に接続された複数のメモリセル単位で閾値電圧を低下させることができる。

【0016】また、検出手段はデータ書き込み後のメモリセルの閾値電圧を検出し、消去手段はこの検出手段によって閾値電圧が所定の電圧よりも高いメモリセルが検出された場合、消去動作を行うことにより、確実に過書き込みを防止できる。

【0017】さらに、消去手段は閾値電圧が最も低いメモリセルの閾値電圧を 0.1V ~ 0.2V 低下させるに要する時間だけ、消去動作を行うことにより、短時間にメモリセルの閾値電圧の分布を狭めることができる。

【0018】

【実施例】以下、この発明の実施例について図面を参照して説明する。図1は、この発明の不揮発性半導体記憶装置を示すものである。アドレス信号 ADD はローアドレスバッファ (RAB) 11 及びカラムアドレスバッファ (CAB) 12 に供給される。ローデコーダ (RDC) 13 はローアドレスバッファ 11 から出力されるアドレス信号をデコードし、メモリセルアレイ (MCA) 14 のワード線を選択する。カラムデコーダ (CDC) 15 は前記カラムアドレスバッファ 12 から出力されるアドレス信号をデコードし、図示せぬセンスアンプを含むデータレジスタ 16 を介してメモリセルアレイ 14 のビット線を選択する。前記アドレス信号 ADD は、さらにブロックデコーダ (BD) 17 に供給される。このブロックデコーダ 17 は複数の NAND を選択する。選択されたメモリセルから読み出されたデータは、前記データレジスタ 16 にラッチされ、このデータレジスタ 16 にラッチされたデータは入出力バッファ (IOB) 18 を介して出力される。また、データの書き込み時、入出力バッファ 18 に供給されたデータはデータレジスタ 16 に転送され、このデータレジスタ 16 から選択されたビット線に供給される。

【0019】前記データレジスタ 16 には制御回路 21 が接続されている。この制御回路 21 はメモリセルに対するデータの書き込み、書き込みデータを確認するベリファイ、後述する過書き込みに対応して閾値電圧を若干低下させる動作、メモリセルに記憶されているデータの読み出し、及びメモリセルに記憶されているデータの一括消去等を制御する。この制御回路 21 には昇圧回路 (BST) 19 が接続されるとともに、消去タイミング発生回路 (ETSO) 22 を介して消去電圧発生回路

5

(EVO) 20が接続されている。これら消去電圧発生回路20及び昇圧回路19は前記ローデコーダ13に接続されている。

【0020】前記昇圧回路19はデータの書き込み時に、制御回路21から出力されるクロック信号 $\phi 1$ 、 $\phi 2$ に応じて書き込み電圧 $V_{pp}$  (20V)を生成する。消去電圧発生回路20は制御回路21の制御に応じて消去動作に使用する消去電圧 $-V_{pp}$  (-20V)を生成する。消去タイミング発生回路22はデータの書き込み終了後、制御回路21から出力される信号T1、T2に応じて生成した信号T3によって前記消去電圧発生回路20を短時間制御し、“0”データを書き込んだメモリセルに消去電圧 $-V_{pp}$ を供給してメモリセルの閾値電圧を若干低下させる。

【0021】図2は、前記メモリセルアレイ14、ブロックデコーダ17等を具体的に示すものである。図2において、ブロックデコーダ17aはメモリセルアレイの1つのブロックを選択するものである。このブロックデコーダ17aはアドレスバスAD0~AD3に接続されている。ブロックデコーダ17aの出力信号S1はトランスファークロップゲートT11の入力端に供給されるとともに、インバータ回路I1を介してトランスファークロップゲートT12の入力端に供給される。トランスファークロップゲートT11を構成するNチャネルトランジスタのゲート、及びトランスファークロップゲートT12を構成するPチャネルトランジスタのゲートには信号D1が供給され、トランスファークロップゲートT11を構成するPチャネルトランジスタのゲート、及びトランスファークロップゲートT12を構成するNチャネルトランジスタのゲートには信号D2が供給されている。トランスファークロップゲートT11、T12の出力端は、レベル変換回路LCの入力端に接続されている。

【0022】このレベル変換回路LCはVccレベルの信号を $V_{pp}$ レベルの信号に変換するものであり、このレベル変換回路LCからは $V_{pp}$ レベルの相補出力信号S2、S3が出力される。このレベル変換回路LCの出力信号S2はトランスファークロップゲートT20、T21~T2nを構成するNチャネルトランジスタのゲートに供給され、レベル変換回路LCの出力信号S3はトランスファークロップゲートT20、T21~T2nを構成するPチャネルトランジスタのゲートに供給されている。これらトランスファークロップゲートT20、T21~T2nの入力端には前記ローデコーダ13の出力信号CG0、CG1~CGnが供給され、これらトランスファークロップゲートT20、T21~T2nの出力端はワード線WL0、WL1~WLnにそれぞれ接続されている。各ワード線WL0、WL1~WLnにはNチャネルトランジスタN10、N11~N1nのドレインが接続されている。これらNチャネルトランジスタN10、N11~N1nのソースは接地され、各ゲートには前記レベル変換回路LCの出力信号S2が供給されている。

6

【0023】前記ワード線WL0、WL1~WLnにはEEPROMによって構成されたメモリセルC00、C01~C0nのコントロールゲートが接続され、各メモリセルC00、C01~C0nは電流通路が直列接続されている。メモリセルC00のドレインは第1の選択ゲートSG1のソースに接続され、メモリセルC0nのソースは第2の選択ゲートSG2のドレインに接続されている。第1の選択ゲートSG1のドレインはビット線BL0に接続され、ゲートはクロックドインバータ回路CIの出力端に接続されている。このクロックドインバータ回路CIは電位 $V_M$ の入力端と接地間に電流通路が直列接続されたPチャネルトランジスタP20、P21と、NチャネルトランジスタN20、N21によって構成されている。PチャネルトランジスタP20のゲートには信号D3が供給され、NチャネルトランジスタN21のゲートには信号D1が供給されている。PチャネルトランジスタP21及びNチャネルトランジスタN20の各ゲートには前記レベル変換回路LCの出力信号S2が供給され、各ドレインは第1の選択ゲートSG1のゲートに接続されている。さらに、第1の選択ゲートSG1のゲートにはNチャネルトランジスタN31のソースが接続されている。このNチャネルトランジスタN31のゲートには信号D3が供給され、ドレインには電位 $V_{pp}$ が供給されている。

【0024】第2の選択ゲートSG2のソースはウェル電位 $V_{well}$ に接続されている。この第2の選択ゲートSG2のゲートと前記ブロックデコーダ17aの出力端の間にはデプレッション型のPチャネルトランジスタP40及びNチャネルトランジスタN40の電流通路が直列接続されている。これらPチャネルトランジスタP40及びNチャネルトランジスタN40のゲートには読み出し制御信号RDが供給されている。また、前記第2の選択ゲートSG2のゲートにはNチャネルトランジスタN50のソース、及びNチャネルトランジスタN51のドレインが接続されている。NチャネルトランジスタN50のゲートには信号D3が供給され、ドレインには電位 $V_{pp}$ が供給されている。NチャネルトランジスタN51のゲートには書き込み制御信号WRが供給され、ソースは接地されている。

【0025】図2は、1NANDのみ示しているが、ワード線WL0、WL1~WLnには複数のNANDが接続されることはいうまでもない。また、図2において、ゲートとチャネルとの間に丸印を記載したトランジスタは閾値電圧が“0”に設定されたトランジスタである。

【0026】図3は、前記昇圧回路19の一例を示すものである。この昇圧回路19は第1のチャージポンプ回路31と第2のチャージポンプ回路32が交互に配置され、これらが直列接続されている。前記第1のチャージポンプ回路31はキャパシタ31aとNチャネルトランジスタ31b、31cによって構成され、第2のチャ

7

ジポンプ回路 3 2 はキャパシタ 3 2 a と N チャネルトランジスタ 3 2 b、3 2 c によって構成されている。前記第 1 のチャージポンプ回路 3 1 において、キャパシタ 3 1 a の一端には前記制御回路 2 1 から出力されるパルス信号  $\phi 1$  が供給されている。N チャネルトランジスタ 3 1 b のソースはキャパシタ 3 1 a の他端に接続され、ゲート及びドレインは電源  $V_{cc}$  に接続されている。N チャネルトランジスタ 3 1 c のゲート及びソースはキャパシタ 3 1 a の他端に接続され、ドレインは次段の第 2 のチャージポンプ回路 3 2 に接続されている。第 2 のチャージポンプ回路 3 2 において、キャパシタ 3 2 a の一端には前記制御回路 2 1 から出力されるパルス信号  $\phi 2$  が供給されている。N チャネルトランジスタ 3 2 b のソースはキャパシタ 3 2 a の他端に接続され、ゲート及びドレインは電源  $V_{cc}$  に接続されている。N チャネルトランジスタ 3 2 c のゲート及びソースはキャパシタ 3 2 a の他端に接続され、ドレインは次段の第 1 のチャージポンプ回路 3 1 に接続されている。最終段の第 2 のチャージポンプ回路 3 2 の出力端と接地間にはツェナーダイオード 3 3 a、3 3 b が直列接続され、このツェナーダイオード 3 3 a、3 3 b は昇圧電圧を所定の電位にリミットしている。

【0027】上記構成の昇圧回路 1 9 は、前記制御回路 2 1 から出力される図 4 に示すようなパルス信号  $\phi 1$ 、 $\phi 2$  に応じて、第 1、第 2 のチャージポンプ回路 3 1、3 2 が順次動作され、ツェナーダイオード 3 3 a、3 3 b の両端から書き込み用の高電圧  $V_{pp}$  が出力される。

【0028】一方、負の高電圧を発生する消去電圧発生回路 2 0 の回路構成は種々知られているが、例えば図 3 に示す昇圧回路 1 9 とほぼ同様の構成とし、この昇圧回路 1 9 の N チャネルトランジスタを P チャネルトランジスタとし、電流の流れる方向を逆向きとすればよい。この消去電圧発生回路 2 0 は前記制御回路 2 1 の制御に応じて、電圧  $-V_{pp}$  を発生する。

【0029】図 5 は、前記消去タイミング発生回路 2 2 を示すものである。ナンド回路 2 2 a のセット信号入力端には制御回路 2 1 から出力された信号  $T 1$ 、 $T 2$  が供給される。このナンド回路 2 2 a の出力信号はインバータ回路 2 2 b を介してフリップフロップ回路 2 2 c のセット端子 S に供給される。このフリップフロップ回路 2 2 c の出力端 Q から出力される消去指令信号  $T 3$  は前記消去電圧発生回路 2 0 に供給されるとともに、前記消去遅延回路 2 2 d を介してフリップフロップ回路 2 2 c のリセット信号入力端 R に供給される。

【0030】上記構成において、図 1、図 2、図 5 に示す回路の動作について説明する。図 2 において、アドレスバス  $AD 0 \sim AD 3$  にデータ “0101” が供給されると、ブロックデコーダ 1 7 a が選択され、このブロックデコーダ 1 7 a の出力信号  $S 1$  がハイレベル ( $V_{cc}$  レベル) となる。

8

【0031】データの書き込み時、信号  $D 1$ 、 $D 2$  はそれぞれハイレベル ( $V_{cc}$  レベル)、ローレベル (0 レベル) に設定される。このため、前記ブロックデコーダ 1 7 a の出力信号  $S 1$  は、トランスファークゲート  $T 1 1$  を介してレベル変換回路 LC に供給される。このレベル変換回路 LC の出力信号  $S 2$ 、 $S 3$  は前記出力信号  $S 1$  に応じてそれぞれ 0 V、 $V_{pp}$  (20 V) となる。このため、これら出力信号  $S 2$ 、 $S 3$  が供給されるトランスファークゲート  $T 2 0$ 、 $T 2 1 \sim T 2 n$  は全てオン状態とされ、これらトランスファークゲート  $T 2 0$ 、 $T 2 1 \sim T 2 n$  を介して前記ローデコーダ 1 3 の出力信号  $CG 0$ 、 $CG 1 \sim CG n$  がワード線  $WL 0$ 、 $WL 1 \sim WL n$  に供給される。前記ローデコーダ 1 3 の出力信号  $CG 0$ 、 $CG 1 \sim CG n$  のうち選択されたワード線に供給される信号の電位は  $V_{pp}$  に設定され、非選択のワード線に供給される信号の電位は中間電位  $V_M$  (10 V) に設定されている。

【0032】さらに、信号  $D 3$  は 0 V に設定されているため、クロックインバータ回路 CI の P チャネルトランジスタ P 2 0 は導通状態となっており、クロックインバータ回路 CI の出力端からは前記レベル変換回路 LC の出力信号  $S 2$  に応じて、ハイレベル ( $V_M$ ) となる。このため、第 1 の選択ゲート  $SG 1$  は導通状態となり、ビット線  $BL 0$  に印加されている電圧がメモリセル  $C 0 0$ 、 $C 0 1 \sim C 0 n$  に供給される。ここで、選択されているビット線の電位は 0 V に設定され、非選択ビット線の電位は  $V_M$  に設定されている。したがって、選択されたワード線とビット線の交点に位置するメモリセルのみ、そのコントロールゲートとチャネル領域 (ウェル) 間の電位差が 20 V となり、F-N トンネリングによってチャネル領域からフローティングゲートに電子が注入される。このとき、読み出し制御信号  $RD$  及び書き込み制御信号  $WR$  はそれぞれ 0 V、 $V_{cc}$  に設定されているため、P チャネルトランジスタ P 4 0 及び N チャネルトランジスタ N 5 1 はオン状態とされている。したがって、第 2 の選択ゲート  $SG 2$  のゲートは接地電位とされているため、第 2 の選択ゲート  $SG 2$  はオフ状態とされている。

【0033】また、データの消去時、前記信号  $D 1$ 、 $D 2$  はそれぞれ 0 V、 $V_{cc}$  に設定され、トランスファークゲート  $T 1 1$  はオフ状態に設定され、トランスファークゲート  $T 1 2$  はオン状態に設定される。したがって、レベル変換回路 LC にはブロックデコーダ 1 7 a の出力信号  $S 1$  が反転され、ローレベルの信号として供給される。このため、レベル変換回路 LC の出力信号  $S 2$ 、 $S 3$  はそれぞれ  $V_{pp}$ 、0 V となり、各トランスファークゲート  $T 2 0$ 、 $T 2 1 \sim T 2 n$  は全てオフ状態となる。したがって、全ワード線  $WL 1$ 、 $WL 2 \sim WL n$  はローレベルとなる。この時、メモリセルが形成されている図示せぬウェルの電位を  $V_{pp}$  に設定することにより、全メモリセル

9

のフローティングゲートからチャネル領域に電子が引き抜かれ、データが一括消去される。

【0034】この際、信号D3は電圧 $V_{pp}$ に設定され、読み出し制御信号RD、書き込み制御信号WRは0Vに設定される。したがって、第1、第2の選択ゲートSG1、SG2のゲートには電圧 $V_{pp}$ が印加され、第1、第2の選択ゲートSG1、SG2のゲート酸化膜に電圧 $V_{pp}$ が掛からないようにしている。

【0035】さらに、データの読み出し時、前記ローデコーダ13の出力信号CG0、CG1～CGnは選択されたワード線に対応する電位が0V、非選択のワード線に対応する電位が電源電位 $V_{cc}$ に設定され、信号D3はハイレベル、読み出し制御信号RD及び書き込み制御信号WRはそれぞれ $V_{cc}$ 、0Vに設定される。このため、第1、第2の選択ゲートSG1、SG2がオン状態とされる。したがって、ビット線にセル電流が流れるか流れないかによって、メモリセルに記憶されたデータが読み出される。

【0036】ところで、上記書き込み動作が終了すると、データ“0”を書き込んだメモリセルの閾値電圧がベリファイされる。この結果、このメモリセルの閾値電圧が例えば0.5Vを越えていない場合、さらに、上記と同様の書き込み動作が所定時間実行される。このシーケンスはデータ“0”を書き込むメモリセルの閾値電圧が0.5Vを越えるまで繰り返される。

【0037】このとき、メモリセル毎のデータ書き込み特性が大きくばらついていると、データ“0”を書き込んだメモリセルのうち、あるメモリセルは閾値電圧が0.7Vとなり、別のメモリセルの閾値電圧は電源電圧 $V_{cc}$ より高い、例えば5.2Vとなっている場合がある。このように過書き込みされたメモリセルはデータの読み出し時にトランスファゲートとして動作しなくなり、このメモリセルを含むNANDからはデータを読み出すことができなくなる。

【0038】そこで、ベリファイ動作を開始すると、制御回路21は信号T1を図5に示す消去タイミング信号発生回路22に出力する。ベリファイ動作に伴って閾値電圧が電源電圧 $V_{cc}$ より高いメモリセルを検出すると、制御回路21は信号T2を消去タイミング信号発生回路22に出力する。消去タイミング信号発生回路22のフリップフロップ回路22cは信号T1、T2がハイレベルとなった時点でセットされ、遅延回路22dに設定された短時間の間、出力端から消去指令信号としての信号T3を出力する。この信号T3は消去電圧発生回路20に供給され、この消去電圧発生回路20はこの信号T3に応じて消去電圧 $-V_{pp}$ を図1に示すローデコーダ13に供給する。このローデコーダ13は選択されているワード線に消去電圧 $-V_{pp}$ を供給する。したがって、この消去電圧が供給されたメモリセルは、そのフローティングゲートから電子が放出され閾値電圧が若干低下する。

10

【0039】メモリセルの閾値電圧のばらつきは、前述した容量比が原因である場合、1本のワード線に接続されたメモリセルのうち、容量比の大きいメモリセルはデータの書き込み時フローティングゲートの電位が高くなり、容量比の小さいメモリセルに比べて電子の注入速度が速く、しかも注入量も多い。したがって、容量比の大きいメモリセルは、書き込み後の閾値電圧が容量比の小さいメモリセルに比べて高くなる。また、容量比の大きいメモリセルはデータの消去時にコントロールゲートに、高い負の電圧を印加した場合、容量比の小さいメモリセルに比べてフローティングゲートの電位が高くなる。このため、容量比の大きいメモリセルは容量比の小さいメモリセルに比べて消去速度が速く、消去量も多い。

【0040】図6は、閾値電圧の異なるメモリセルのコントロールゲートに消去電圧 $-V_{pp}$ を供給した場合における閾値電圧の変化を示すものである。例えば図6に示すように、データ書き込み後の閾値電圧が5.2VのメモリセルMC1と、閾値電圧が0.7VのメモリセルMC2のコントロールゲートに消去電圧 $-V_{pp}$ （ $-20V$ ）を例えば $10\mu s$ 印加した場合、メモリセルMC1の閾値電圧は4.2Vとなって過書き込みの状態を解消でき、メモリセルMC2の閾値電圧は0.6Vとなり、データ“0”の書き込み状態を保持できる。

【0041】特に、図7に示すように、閾値電圧のばらつきが小さい複数のメモリセルに同時に負の消去電圧を印加した場合、時間 $t_{le}$ の範囲において、各メモリセルの閾値電圧が一致することが本発明の発明者によって確認された。したがって、消去時間を適宜設定することにより、メモリセルの閾値電圧を一致させることが可能となる。

【0042】負の消去電圧による消去時間は、メモリセルの前記容量比、及び消去電圧 $-V_{pp}$ にもよるが、閾値電圧が最も低いメモリセルの閾値電圧を0.1V～0.2V低下させるのに要する時間とすればよい。但し、消去後のメモリセルの閾値電圧は0.5V以上であることは言うまでもない。

【0043】上記実施例によれば、メモリセルにデータを書き込んだ後、短時間消去電圧を印加することにより、データを書き込んだメモリセルの閾値電圧を下げていく。したがって、メモリセルに対する過書き込みを防止できるとともに、閾値電圧の分布を狭くすることができる。

【0044】尚、上記実施例は、メモリセルにデータを書き込んだ後、閾値電圧をベリファイし、過書き込みが発生している場合、負の消去電圧を制御ゲートに短時間印加したが、これに限らず、メモリセルにデータを書き込む度に消去電圧を短時間印加するようにしてもよい。このような構成とすれば、過書き込みが発生していない場合においても、閾値分布を狭めるのに有効である。



11

【0045】また、上記実施例は、NAND型EEPROMにこの発明を適用した場合について説明したが、これに限らず、F-Nトンネリングを用いてデータを書き込み、F-Nトンネリングを用いてデータを読み出すAND型EEPROM、あるいはDINOR (Divided NOR) 型EEPROMにこの発明を適用することも可能である。

【0046】さらに、前記書き込み後の消去は1つのワード線に接続された複数のメモリセルに同時に負の高電位を供給したが、これに限らず、複数のワード線に接続された複数のメモリセルに同時に負の高電位を供給してもよい。

【0047】また、上記実施例は制御ゲートに負の高電圧を印加してデータを消去したが、これに限らず、制御ゲートを0Vとし、基板を正の高電圧としてとしてもよい。その他、この発明の要旨を変えない範囲において、種々変形実施可能なことは勿論である。

【0048】

【発明の効果】以上、詳述したようにこの発明によれば、データの書き込み後、短時間消去することにより、\*20

12

\*書き込み後の閾値電圧の分布を狭くし、過書き込みを防止することが可能な不揮発性半導体記憶装置を提供できる。

【図面の簡単な説明】

【図1】この発明の一実施例を概略的に示す回路構成図。

【図2】図1の要部を取出して示す回路図。

【図3】図1の要部を取出して示す回路図。

【図4】図3の動作を説明するために示すタイミングチャート。

【図5】図1の要部を取出して示す回路図。

【図6】書き込み後の消去動作を説明するために示す。

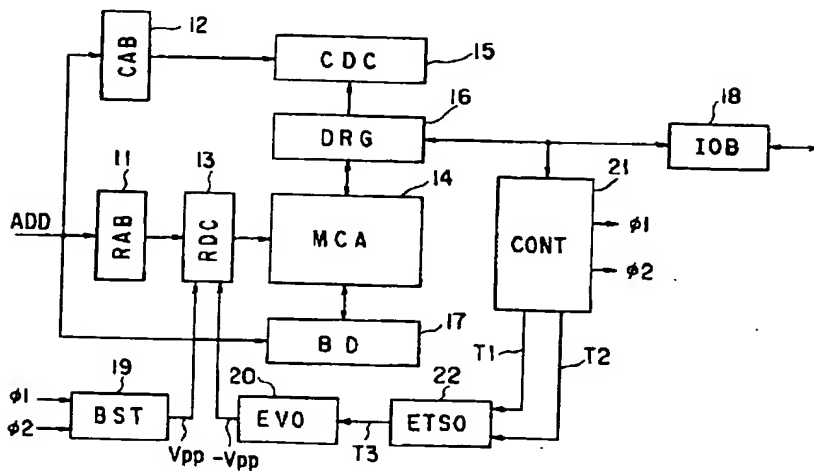
【図7】書き込み後の消去動作を説明するために示す。

【図8】従来のメモリセルの動作を説明するために示す回路図。

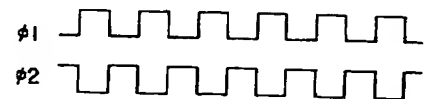
【符号の説明】

14…メモリセルアレイ、16…データレジスタ、19…昇圧回路、20…消去電圧発生回路、21…制御回路、22…消去タイミング信号発生回路。

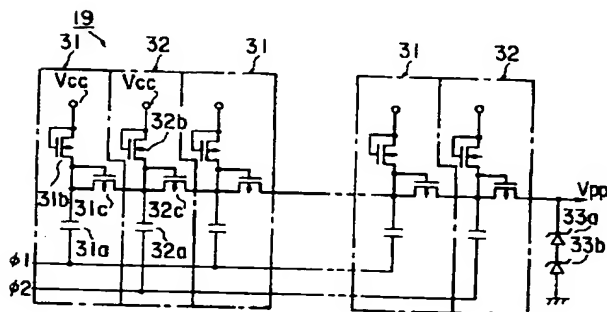
【図1】



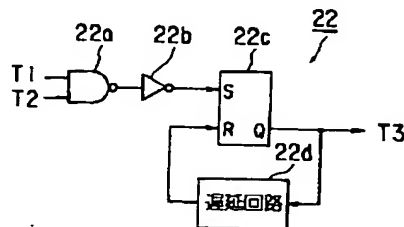
【図4】



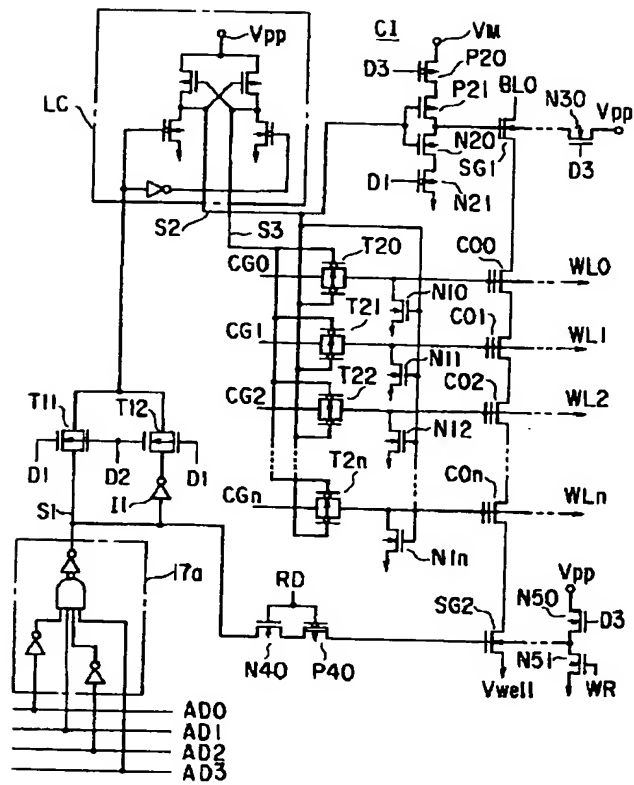
【図3】



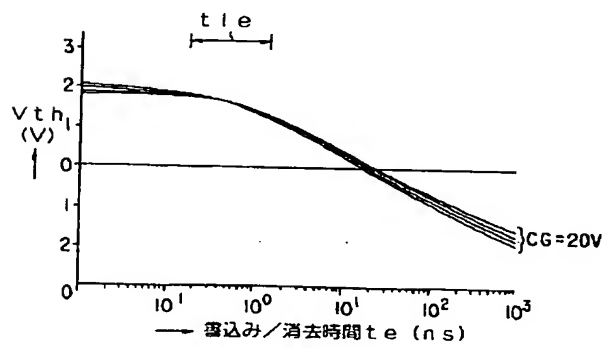
【図5】



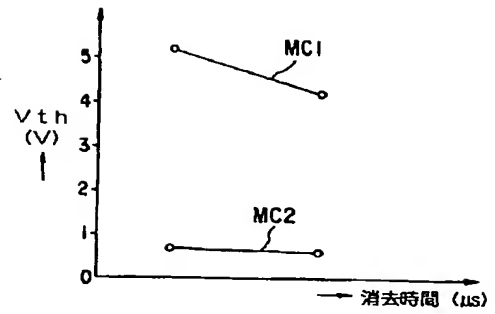
【図 2】



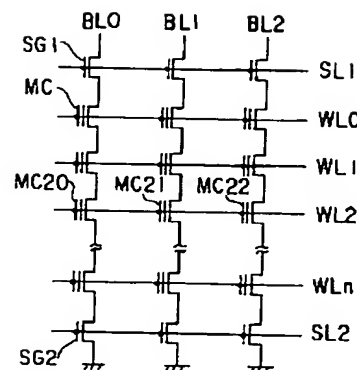
【図 7】



【図 6】



【図 8】



フロントページの続き

(51) Int. Cl. 6

H 0 1 L 29/788

29/792

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 29/78

3 7 1

(72) 発明者 松井 法晴  
神奈川県川崎市幸区小向東芝町 1 番地 株  
式会社東芝研究開発センター内